

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202072
(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01L 23/12

(21)Application number : 05-334649
(22)Date of filing : 28.12.1993

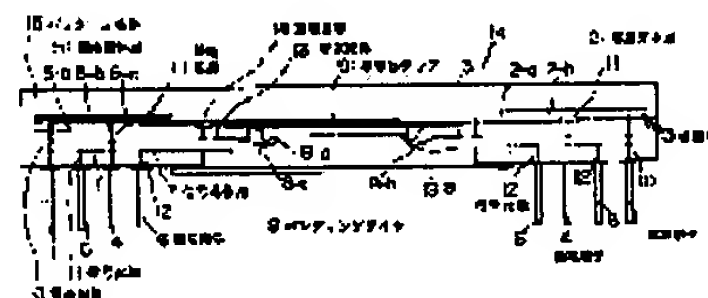
(71)Applicant : NEC CORP
(72)Inventor : UCHIDA HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the high-frequency impedance of a power conductor and lessen the potential ripple of the power source by the operation state of a semiconductor chip by forming a bypass capacitor provided between the power source and earth potential, inside a package for a semiconductor device, and varying the capacitance values of the bypass conductor with places.

CONSTITUTION: Power conductor layers 2-a and b connected to a power terminal 1 through power wiring 10 are stacked alternately with earth conductor layers 5-a, b, and c, with insulating layers between. The power conductor layers 2-a and b, and the earth conductor layers 5-a, b, and c, which form a bypass capacitor, are connected to a semiconductor chip each through power wiring 13, earth wiring 14, bonding wires 8-a and b, and those are stacked with insulating layers between, but the numbers of stacks are varied between the section right below the semiconductor chip 9 and the peripheral section in the vicinity of the terminal. Hereby, it becomes possible to change the ratio of the capacitance per unit area to the inductance of the conductor between the section right below a chip and the peripheral area of a terminal, and for convenience two resonance frequencies are obtained.



LEGAL STATUS

[Date of request for examination] 15.03.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2606116
[Date of registration] 13.02.1997
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202072

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

3 0 1 Z

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平5-334649

(22) 出願日

平成5年(1993)12月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 内田 浩亨

東京都港区芝五丁目7番1号 日本電気株式会社内

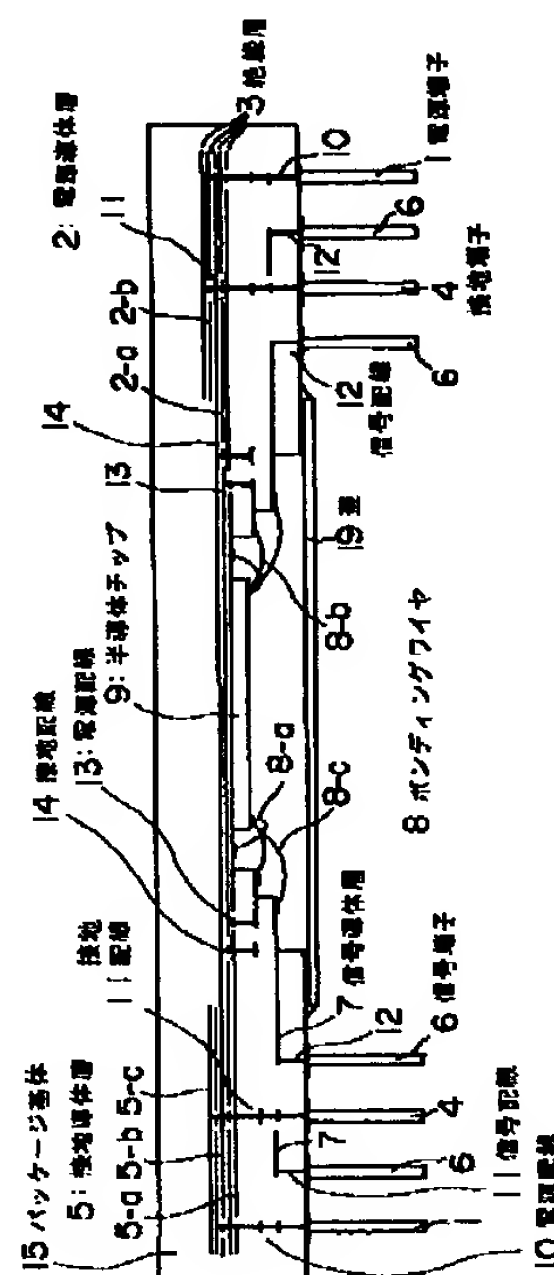
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 L S I チップ内で発生する電源雑音を、チップを搭載するパッケージ内で広帯域にわたって除去することが可能なパッケージ構造を提供する。

【構成】 半導体装置用パッケージ内に構成した積層型コンデンサの層数を、L S I チップ直下部分と外部リード部分で変えることで、パッケージ内に二種類以上の静電容量の異なるコンデンサを構成する。



【特許請求の範囲】

【請求項1】 パッケージ基体と、前記パッケージ基体内に配置された半導体チップと、前記半導体チップに電源電位を供給するために前記パッケージ基体の外部に設けられた電源端子と、前記半導体チップに接地電位を供給するために前記パッケージ基体の外部に設けられた接地端子と、前記半導体チップに信号の入出力をするための信号端子と、前記電源端子が接続される電源導電体層と、前記接地端子が接続される接地導電体層と、前記電源端子、接地端子および信号端子が設けられる前記パッケージ基体の第1の領域に絶縁体層を挟んで設けられた前記導電体層および前記接地導電体層からなる第1のバイパスコンデンサと、前記半導体チップが搭載される前記パッケージ基体の第2の領域に前記絶縁体層を挟んで設けられた前記導電体層および前記接地導電体層からなる第2のバイパスコンデンサとを備え、前記第1のバイパスコンデンサと前記第2のバイパスコンデンサの静電容量が異なることを特徴とする半導体装置。

【請求項2】 前記第1のバイパスコンデンサと前記第2のバイパスコンデンサは、前記導電体層と前記絶縁体層との積層数を前記第1の領域と前記第2の領域とで異ならせることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1のバイパスコンデンサと前記第2のバイパスコンデンサは、前記導電体層と前記絶縁体層の対向する面積を前記第1の領域と前記第2の領域とで異ならせることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明の半導体装置に関し、特に半導体装置用のパッケージの内部に形成したバイパスコンデンサに関する。

【0002】

【従来の技術】従来、半導体装置用のパッケージの内部にバイパスコンデンサを形成した構造としては、特開平3-94452、特開昭59-211251がある。この従来例に関し図面を用いて説明する。

【0003】図6は、従来のパッケージ内部のバイパスコンデンサの構造を示す断面図である。また、図7は、従来のパッケージの電源、接地導体の回路図である。

【0004】図6によると、電源端子1に接続された電源導電体層2-a、bはセラミックあるいはポリカーボネートなどで構成された絶縁層3をはさんで接地端子4に接続された接地導電体層5-a~cと交互に積層されている。信号端子6は、各々信号導電体層7、ボンディングワイヤ8-cを介して半導体チップ9に接続される。同様に、電源導電体層2、接地導電体層5は各々ボンディングワイヤ5-bを介して半導体チップ9に接続される。上記の様に構成された電源導電体層2と接地導電体層5とは、積

層コンデンサを構成し半導体チップ9の直近に接続されるため、パッケージの外部に接続するバイパスコンデンサに比較し電源の高周波インピーダンスを低減する効果が大きい。この効果を回路図を用いて説明する。図7に示した回路で、端子V1'、G1'は各々半導体チップと接続する電源端子1、接地端子4、V2'、G2'は各々プリント基板などに接続する電源端子1、接地端子4である。一般的に半導体チップ内の素子の動作状態で電源電流は変化するが、この電源電流の変化は電源端子V1'を介しパッケージ内の電源導体に伝達される。伝達された電源電流の変化は、電源導体のボンディングワイヤやボンディングステッチ部分のインダクタンスL_{v1'}の逆起電力により電圧変動となり、プリント基板などに接続される電源端子V2'へ導出される。この時電源変動を抑える手段として、バイパスコンデンサC_{B'}を電源導体と接地導体間に挿入し、電源変動（交流成分）をバイパスコンデンサ側に伝達し、安定な電位であるG2'端子側へ導出する。つまり、パッケージ内の電源回路の交流的なインピーダンスは、電源導体の純抵抗R_{v1'}、R_{v2'}およびインダクタンスL_{v1'}、L_{v2'}によるインピーダンスと、バイパスコンデンサC_{B'}から接地導体への導出経路にあるL_{c1'}、L_{c2'}、C_{B'}、R_{G2'}、L_{G2'}とのインピーダンスの合成（並列）インピーダンスとなり電源導体単体の場合よりインピーダンスを低減することができる。以上述べた従来例では、コンデンサを形成する絶縁体がパッケージ基体を形成する絶縁体と同一の材料で構成され、一般的にはアルミナ等のセラミックを想定した構造を呈している。

【0005】エポキシ樹脂などのプラスチックをパッケージ基体とした従来例としては、特開昭57-49259がある。この従来例について図面を用いて説明する。図8(a)はこの第二の従来例の平面図、(b)は断面図である。

【0006】この第二の従来例では、半導体チップ23直下のダイパッド24部は、金属導体24-a~cと誘電体25-a、bの積層構造を呈しており、これによりパッケージ内部にコンデンサを形成してボンディングワイヤ26-a~eで半導体チップ23やリード27の接地電位や電源電位との接続を行ないコンデンサとして機能させている。この第二の従来例では、コンデンサをパッケージ内部に有することによる効果は先に述べた従来例などと同様の効果を有しているものと思われるが、電氣的接続がボンディングワイヤのみで行われるためインダクタンスが大きくなり易く、所望の効果を得られない可能性もある。また、プラスチックパッケージの簡便な構造による安価さなどを損なっていることも事実である。

【0007】

【発明が解決しようとする課題】一般的に、バイパスコンデンサをパッケージ内部に構成することにより電源導

体の高周波インピーダンスを低減し、半導体チップの動作状態による電源電位変動を小さくできる。バイパスコンデンサによって電源インピーダンスを低減し電源電位変動を抑制する場合、その十分な効果を得るためには電源インピーダンスに比べバイパスコンデンサを介したインピーダンスが広い周波数帯域にわたって小さくなることが望ましい。しかしながら、従来の半導体装置用パッケージに内蔵されたバイパスコンデンサの場合、パッケージ内で単一的な構造でバイパスコンデンサを形成しているため電源導体のインダクタンスとバイパスコンデンサの静電容量の比率がパッケージ内で一定となる。これにより、バイパスコンデンサを介したインピーダンスの共振は一点のみとなり、電源導体単体のインピーダンスと同等またはそれ以下となる周波数帯域は狭くなる欠点があった。

【0008】

【課題を解決するための手段】本発明の半導体装置用パッケージでは、半導体装置の電源-接地電位間に取り付けるバイパスコンデンサを半導体装置用パッケージ内に形成し、このバイパスコンデンサの静電容量値をパッケージ内の場所により変化させた構造を有している。

【0009】

【実施例】本発明の半導体用パッケージにおけるバイパスコンデンサ内蔵構造について図面を用いて説明する。

【0010】図1によると、電源端子1に電源配線10を介して接続された金属（金、アルミ等）層または半導体（ポリシリコン等）層からなる電源導体層2-a, bは、セラミックあるいはポリカーボネート等で構成された絶縁層3をはさんで金属からなる接地端子4に接地11を介して接続された接地導体層5-a, b, cと交互に積層されている。信号端子6は各々信号配線12、信号導体層7、金もしくは金との合金でなるボンディングワイヤ8-cを介して半導体チップ9に接続される。同様に、電源導体層2-a, b、接地導体層5-a, b, cは各々電源配線13、接地配線14、ボンディングワイヤ8-a, 8-bを介して半導体チップに接続される。電源導体層2-a, bと接地導体層5-a, b, cは、絶縁層を挟んで積層されるが半導体チップ9の直下部分と端子近傍の周辺部分とで積層数を変えている。すなわち、電源導体層2-bと接地導体層5-cとは、半導体チップ9の直下部分において導体パターンの形成を行っていない。これに対応する斜視図を図2に示す。ここでスルーホール17は、外部端子16を特定の導電地層に接続するために接続を必要としない導電地層に外部端子16からの配線を通過させるために設けている。ボンディングステッチ18は、外部端子16を半導体チップ9と接続するために設けている。蓋19は金属等で構成されている。その他の部分は図1に示したものと同一であるため説明を省略する。これにより、チップ直下部分と端子周辺部分とで単位面積当たりの静電容量と導体

のインダクタンスの比率を変えることが可能となり、便宜的に二つの共振周波数を得ることができる。この電源導体、接地導体を回路図で表したものが図3である。図3によると、半導体チップ9で発生した電源電流は半導体チップと接続される電源端子V1からパッケージへ流入する。半導体チップ9の動作状態により電源電流は変化し、これによりボンディングワイヤ8-a, b, c、各導体層2, 5, 7および各配線10, 11, 12, 13, 14等のインダクタンス L_{vi} の逆起電力が発生し電源電圧変動となる。この変動を効果的に低減するには、バイパスコンデンサを電源導体と接地導体間に挿入し電源電圧変動成分（交流成分）をバイパスコンデンサ側に伝達し、安定な電位であるG2端子側へ導出する経路を設けて置けば良い。本実施例においては、バイパスコンデンサの構成が単位面積あたりの容量値の違いや周囲のインダクタンスの違いにより C_{B1} と C_{B2} と2つのコンデンサで構成されることになる。

【0011】図1に示した本発明の半導体装置用のパッケージと図6に示した従来の半導体装置用パッケージのバイパスコンデンサの効果の違いについてグラフを用いて説明する。図1と図6に示したパッケージにおいて異なる点はバイパスコンデンサの構成のみで、図1のパッケージでは図6のパッケージと比べ半導体チップ直下部分の静電容量を2分の1としてある。この時の電源インピーダンスの周波数変化を図4に示す。これによると電源導体単体のインピーダンス特性（点線で記入）は、従来の本発明ではほぼ等しく、従来のパッケージのバイパスコンデンサを介したインピーダンス特性（一点鎖線で記入）のほうが共振周波数は低くそのときのインピーダンスも小さくなっている。しかし、本発明のパッケージのバイパスコンデンサを介したインピーダンス特性（実線で記入）は、二つの共振周波数を有しその周波数が比較的近接しているため電源導体単体のインピーダンスと同等以下の値となる周波数帯域幅Bは、従来パッケージにおける周波数帯域幅B'と比べ2倍程度広くなる。

【0012】次に本発明の第2の実施例について説明する。図5では、半導体装置用パッケージ内でバイパスコンデンサの静電容量値を変化させるためにパッケージ基体15の外部端子16の設けられ領域に電源導体層2-bと接地導体層5-c, dから成るバイパスコンデンサを形成し、かつ半導体チップ9直下部分からパッケージ端面に至る部分にも電源導体層2-a、接地導体層5-a, bによりバイパスコンデンサを構成している。この様にバイパスコンデンサを構成することにより、さきの実施例で述べた効果はもとより、外部端子16側から流入する雑音成分に対しても低減効果が得られる特徴がある。これは、外部端子16の直近に静電容量成分を有しインダクタンス成分としては外部端子16のみであるため比較的広い周波数帯域でバイパスコンデンサのインピーダンスを小さくすることが可能であるからである。

【0013】本発明の第1及び第2の実施例では、半導体パッケージ内の電源導体層と接地導体層の積層数を部分的に変化させることによって異なる静電容量のバイパスコンデンサを得ているが、部分的に電源導体層と接地導体層の間隔を変化させてもよいし、部分的に電源導体層と接地導体層との間の絶縁膜の誘電率を変化させて異なる静電容量のバイパスコンデンサを得てもよい。

【0014】

【発明の効果】以上説明したように、本発明の半導体装置用のパッケージにおけるバイパスコンデンサの構成は、パッケージ内に静電容量値の異なるコンデンサを複数構成することにより、バイパスコンデンサと導体部インダクタンスの共振周波数を複数にすることができる。この複数の共振周波数は、バイパスコンデンサの静電容量値を適宜調整することにより2〜10倍の間で設定可能である。従って、本発明のバイパスコンデンサの構成を施すことにより従来のバイパスコンデンサの構成に比べ周波数帯域を広げることが可能で、広範囲の周波数帯域において電源電圧の抑制効果を大きくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す半導体装置用パッケージの断面図。

【図2】図1の斜視図。

【図3】図1の半導体装置用パッケージの電源・接地導体の回路図。

【図4】バイパスコンデンサのインピーダンスの周波数特性を示すグラフ。

【図5】本発明の第2の実施例を示す半導体装置用パッケージの断面図。

【図6】従来の半導体装置用パッケージの断面図。

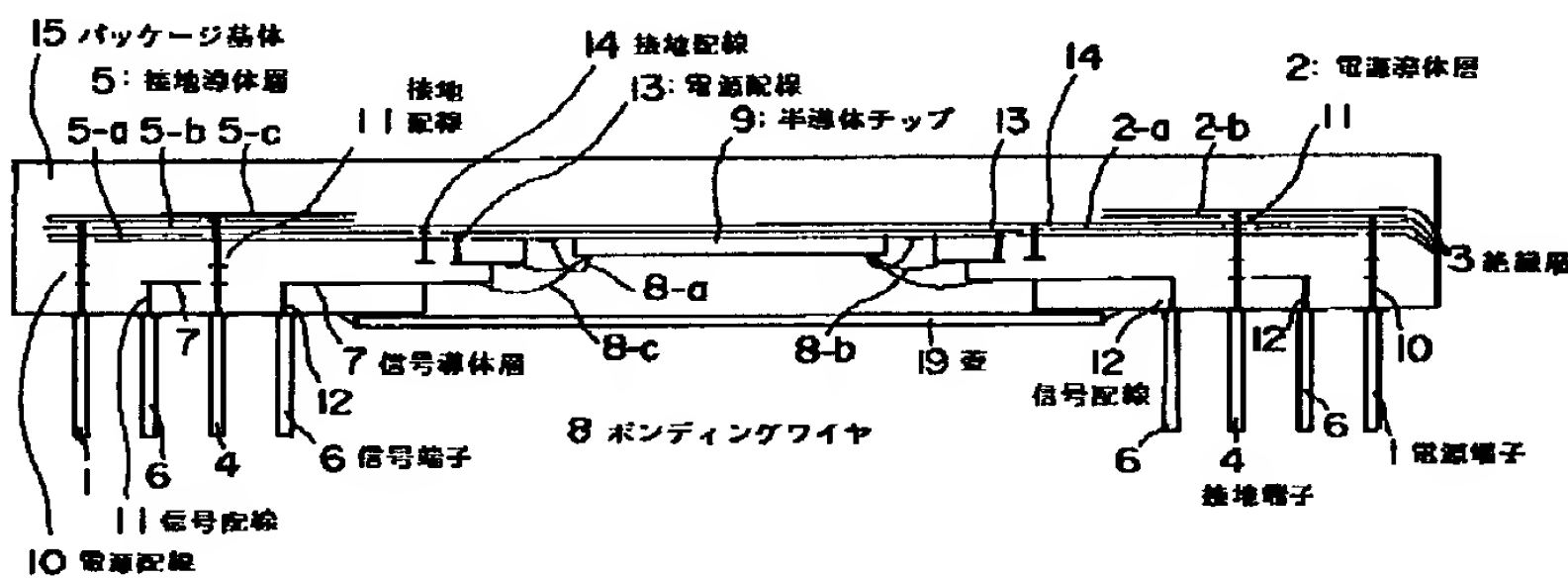
【図7】図5の半導体装置用パッケージの電源・接地導体の回路図。

【図8】(a)は第二の従来例の半導体装置用パッケージの平面図、(b)は(a)の断面図。

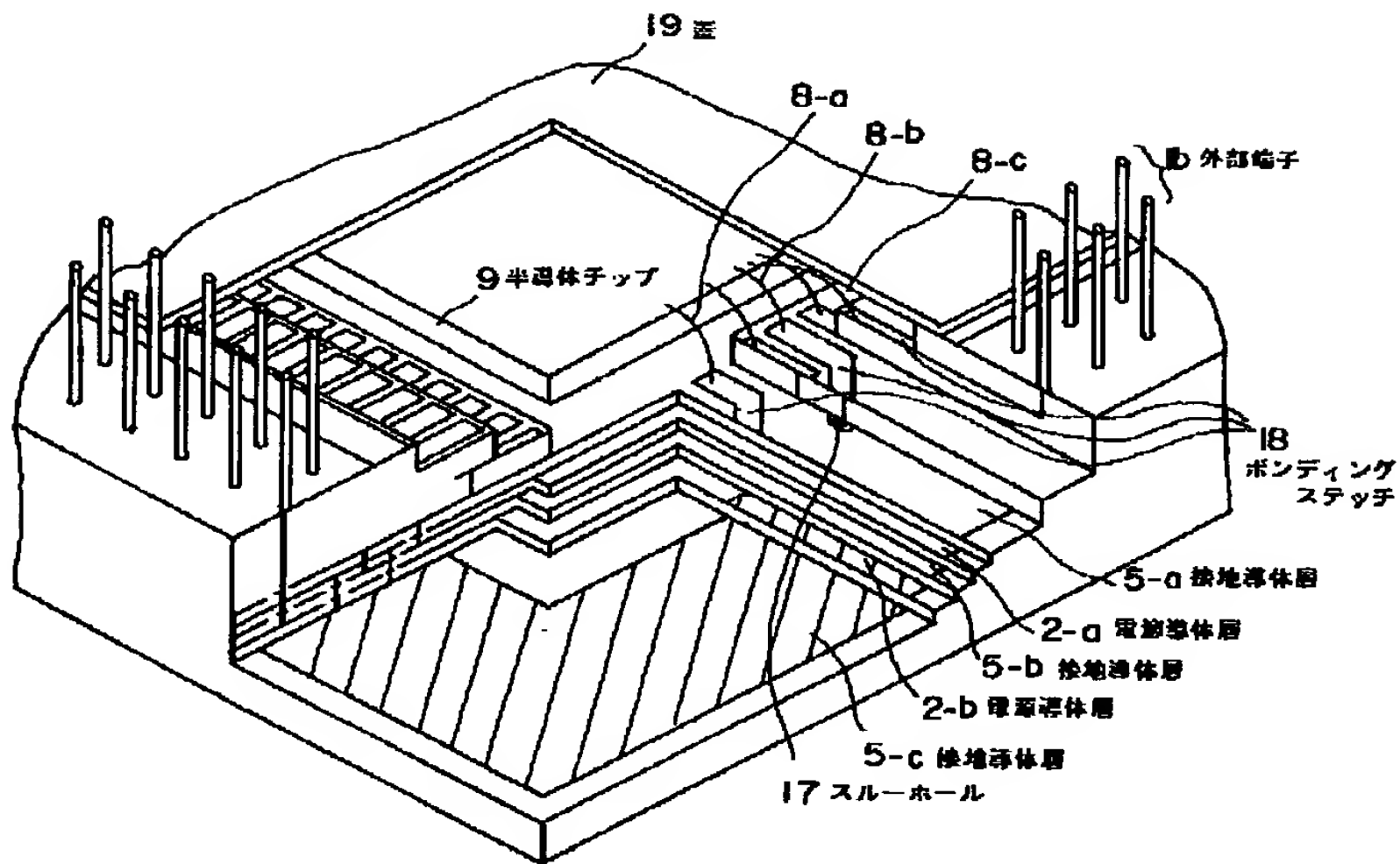
10 【符号の説明】

1	電源端子
2-a, b	電源導体層
3	絶縁層
4	接地端子
5-a, b, c	接地導体層
6	信号端子
7	信号導体層
8-a, b, c	ボンディングワイヤ
9	半導体チップ
10	パッケージ基体
16	外部端子
23	半導体チップ
24-a, b, c	金属導体(ダイパッド)
25-a, b	誘電体
26-a, b, c, d, e	ボンディングワイヤ
27	リード

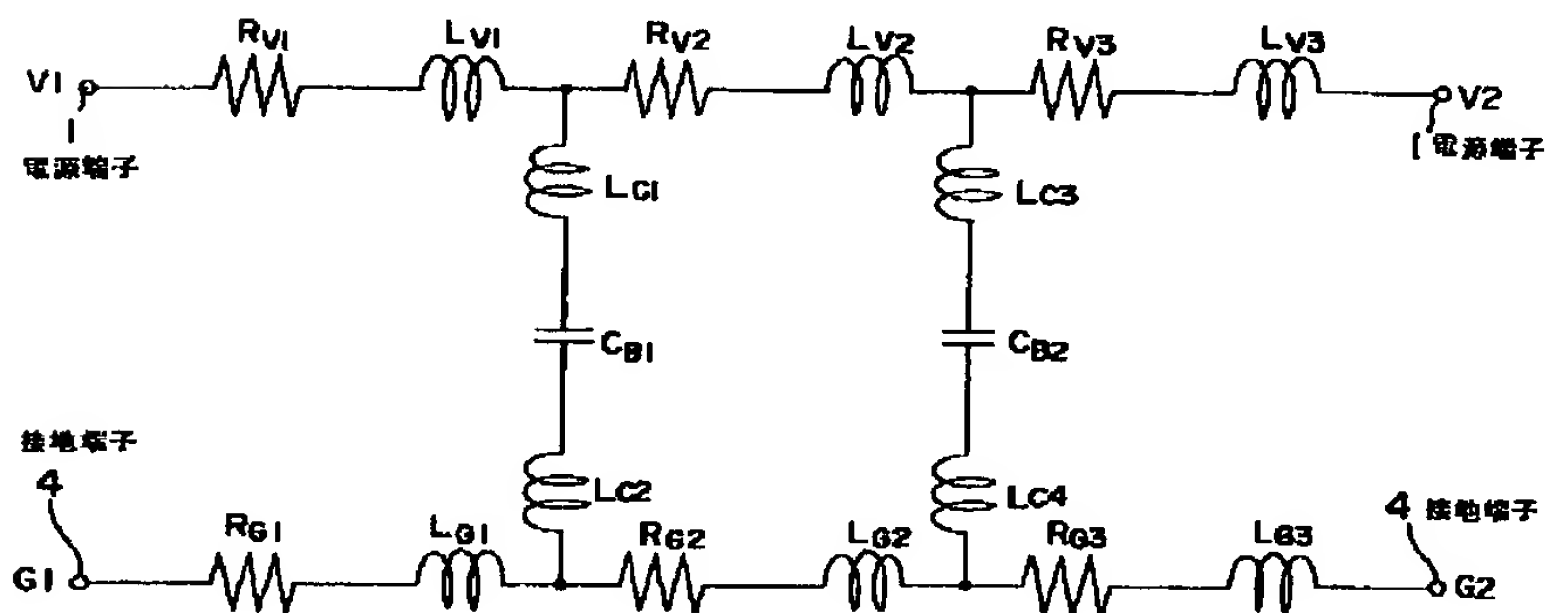
【図1】



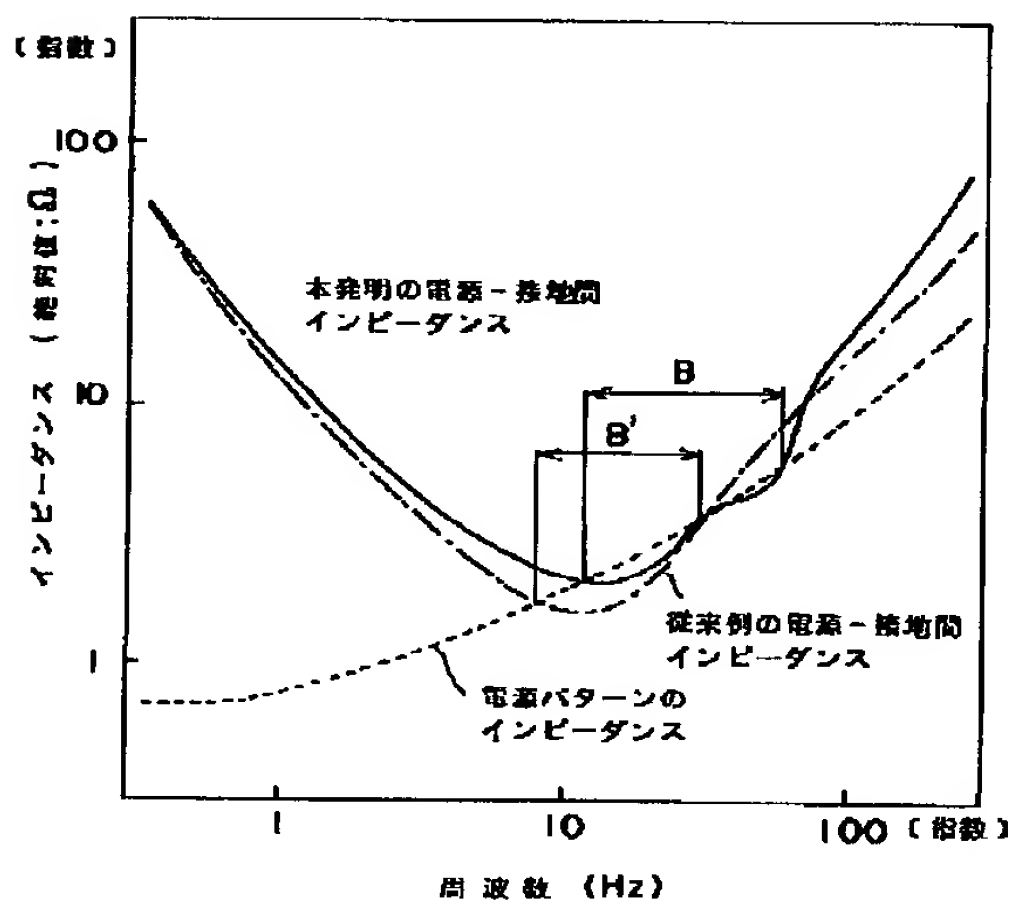
【図2】



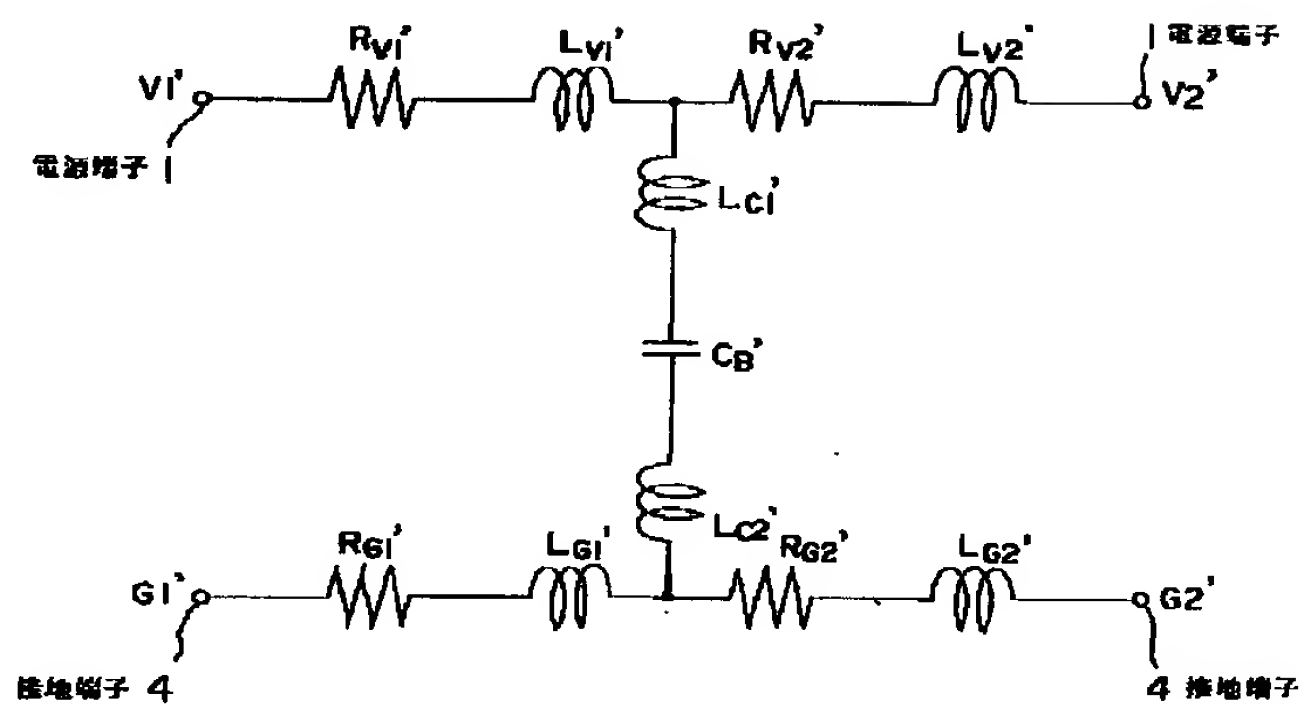
【図3】



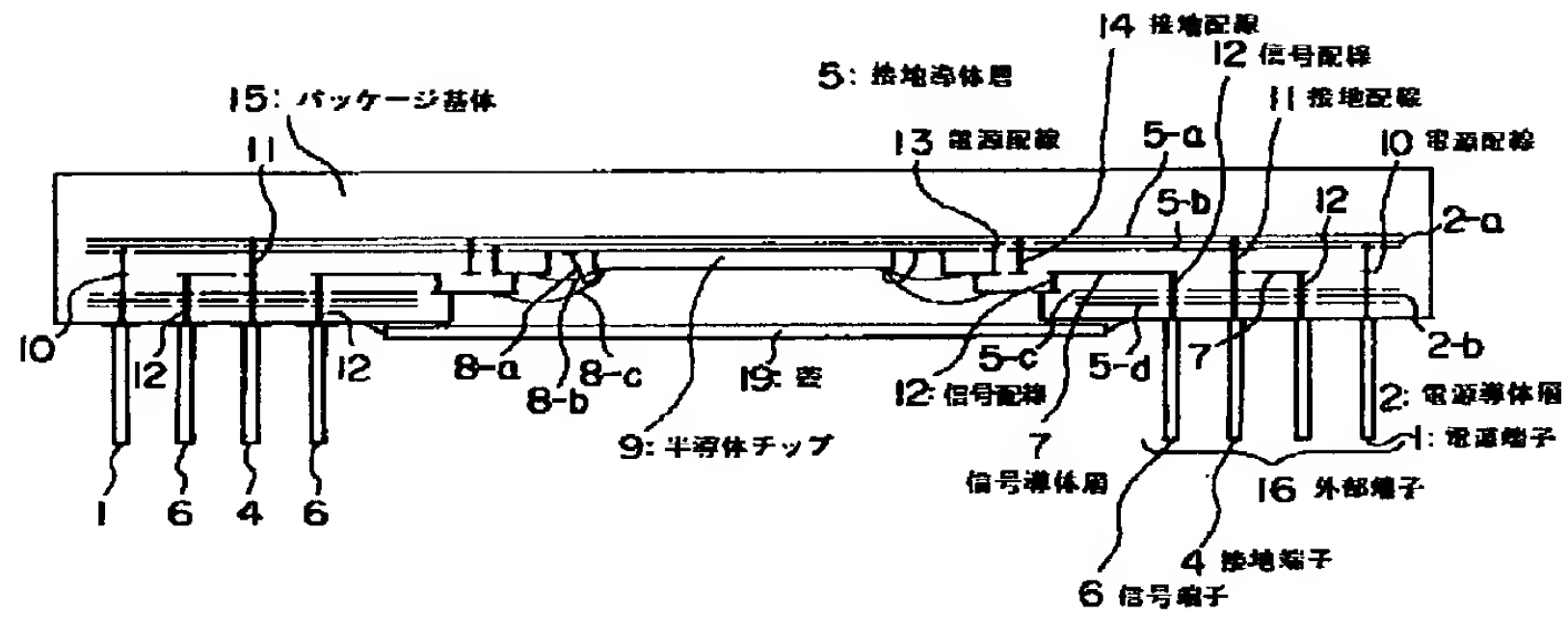
【図4】



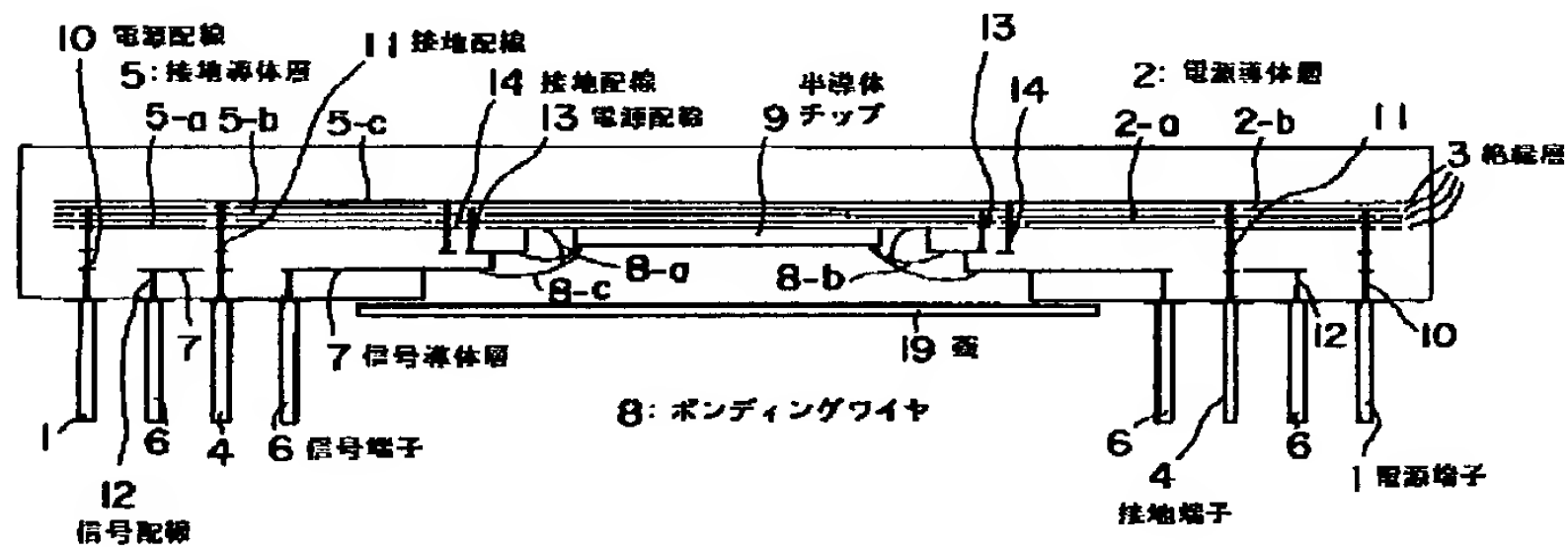
【図7】



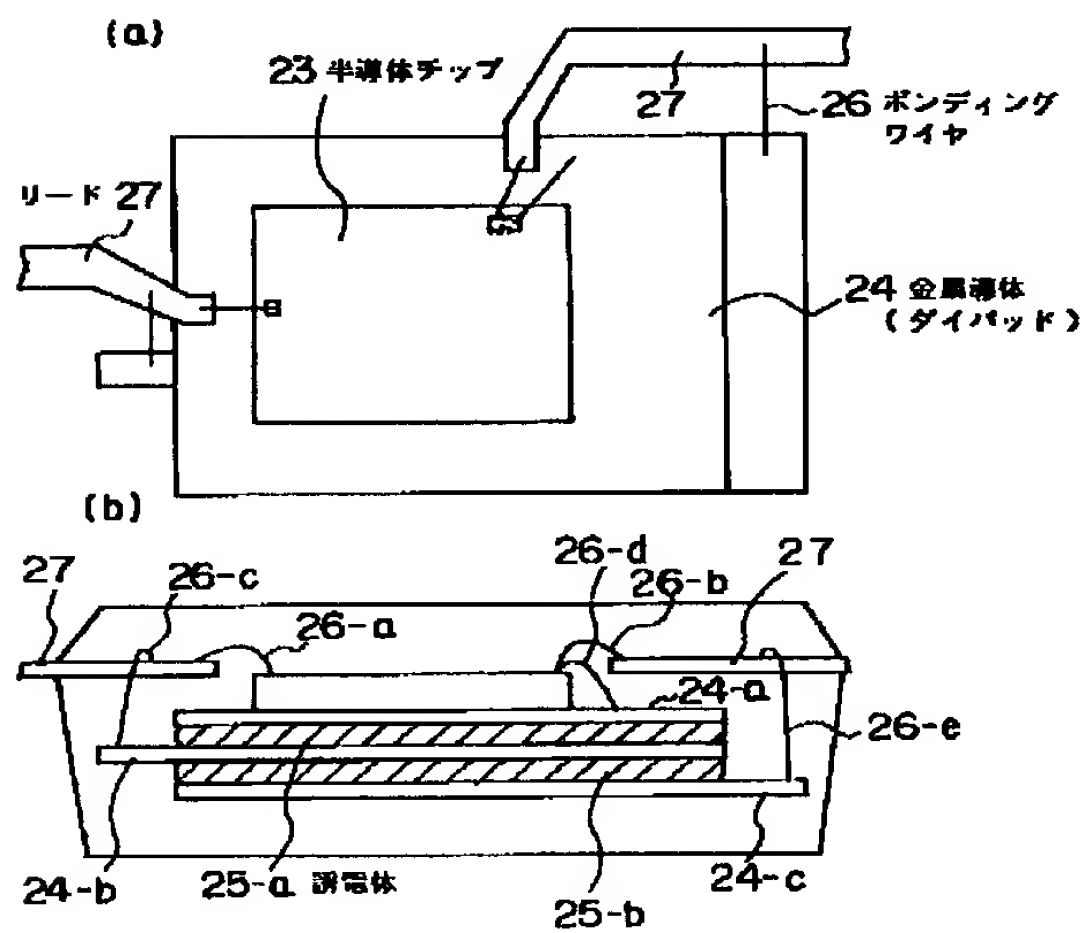
【図5】



【図6】



【図8】



JP 07-202072

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] It is related with the bypass capacitor especially formed in the interior of the package for semiconductor devices about the semiconductor device of this invention.

[0002]

[Description of the Prior Art] Conventionally, there are JP,3-94452,A and JP,59-211251,A as structure in which the bypass capacitor was formed to the interior of the package for semiconductor devices. This conventional example is explained using a drawing.

[0003] Drawing 6 is a cross section showing the structure of the bypass capacitor inside [conventional] a package. moreover, the power of the package of the former [drawing / 7] and a grounding -- it is the circuit diagram of a conductor

[0004] According to drawing 6, the laminating of power conductor-layer 2-a connected to the power terminal 1 and b is carried out by turns [grounding conductor-layer 5-a-c and by turns] which were connected to the earth terminal 4 on both sides of the insulating layer 3 which consisted of a ceramic or a polycarbonate. The signal terminal 6 is respectively connected to a semiconductor chip 9 through the signal conductor layer 7 and bonding wire 8-c. Similarly, the power conductor layer 2 and the grounding conductor layer 5 are respectively connected to a semiconductor chip 9 through bonding wire 5-b. Since a multilayer ceramic capacitor is constituted and it connects with the latest of a semiconductor chip 9, the power conductor layer 2 and the grounding conductor layer 5 which were constituted as mentioned above have the large effect of reducing the RF impedance of power as compared with the bypass capacitor linked to the exterior of a package. This effect is explained using a circuit diagram. It is the circuit shown in drawing 7, and the power terminal 1 which terminal V1' and G1' connect with a semiconductor chip respectively, the earth terminal 4, V2', and G2' are the power terminals 1 and the earth terminals 4 which connect with a printed circuit board etc. respectively. although a power current generally changes by the operating state of the element in a semiconductor chip -- change of this power current -- power-terminal V1' -- minding -- the power in a package -- it is transmitted to a conductor change of the transmitted power current -- power -- it becomes a voltage variation by the bonding wire of a conductor, or the counter-electromotive force of inductance LV1' of a bonding stitch fraction, and is drawn to power-terminal V2' connected to a printed circuit board etc. a means to stop a source effect at this time ***** -- bypass capacitor CB' -- power -- a conductor and a grounding -- a conductor -- it inserts in between, a source effect (alternating current component) is transmitted to a bypass capacitor side, and it derives to the G2' terminal side which is stable potential that is, the alternating current-impedance of the power circuit in a package -- power -- the impedance by pure resistance RV1' of a conductor, RV2' and inductance LV1', and LV2', and the grounding from bypass capacitor CB' -- the synthetic (parallel) impedance of the impedance with LC1' in the derivation path to a conductor, LC2', CB', RG2', and LG2' -- becoming -- power -- a conductor -- an impedance can be reduced from the case In the conventional example described above, the insulator which forms a capacitor consists of the same material as the insulator which forms a package base, and is presenting the structure which generally assumed ceramics, such as an alumina.

[0005] There is JP,57-49259,A as a conventional example which made plastics, such as an epoxy resin, the package base. This conventional example is explained using a drawing. Drawing 8 (a) is a plan of this second conventional example, and (b) is a cross section.

[0006] In this second conventional example, metallic-conductor 24-a-c, dielectric 25-a, and the laminated structure of b are presented, and the die-pad 24 section of semiconductor chip 23 directly under forms a capacitor in the interior of a package by this, by bonding wire 26-a-e, it makes connection with a semiconductor chip 23, the grounding potential of lead 27, or power potential, and is operated as a capacitor. Although it is thought in this second conventional example that the effect by having a capacitor inside a package has the same effect as the conventional example described previously, since electrical installation is performed only by the bonding wire, an inductance tends to become large, and a desired effect may not be acquired. Moreover, it is also a fact to have spoiled the cheapness by the simple structure of a plastic package etc.

[0007]

[Problem(s) to be Solved by the Invention] constituting a bypass capacitor inside a package generally -- power -- the RF impedance of a conductor is reduced and power potential change by the operating state of a semiconductor chip can be made small When a source impedance is reduced and it suppresses power potential change by the bypass capacitor, in order to acquire the sufficient effect, it is desirable that the impedance which minded the bypass capacitor compared with the source

impedance becomes small over a large frequency band. since [however,] the bypass capacitor is formed with single structure within a package in the case of the bypass capacitor built in the conventional package for semiconductor devices inside -- power -- the proportion of the inductance of a conductor and the electrostatic capacity of a bypass capacitor becomes fixed within a package a resonance of the impedance which minded the bypass capacitor by this -- one point -- becoming -- power -- a conductor -- the frequency band used as less than [the impedance of a simple substance, an EQC, or it] had the fault which becomes narrow

[0008]

[Means for Solving the Problem] With the package for semiconductor devices of this invention, the bypass capacitor attached between the power-grounding potentials of a semiconductor device is formed in the package for semiconductor devices, and it has the structure where the electrostatic capacity value of this bypass capacitor was changed by the location in a package.

[0009]

[Example] The structure with a built-in bypass capacitor in the package for semiconductors of this invention is explained using a drawing.

[0010] power conductor-layer 2- which consists of the metal layers (gold, aluminum, etc.) or semiconductors (contest polysilicon etc.) layer connected to the power terminal 1 through the power wiring 10 according to drawing 1 -- the laminating of a and the b is carried out to grounding conductor-layer 5-a connected to the earth terminal 4 which consists of a metal on both sides of the insulating layer 3 which consisted of a ceramic or a polycarbonate through the grounding 11, and b and c by turns The signal terminal 6 is connected to a semiconductor chip 9 through bonding wire 8-c which becomes respectively with the alloy with a signal wiring 12, the signal conductor layer 7, gold, or gold. Similarly, power conductor-layer 2-a, b, grounding conductor-layer 5-a, and b and c are respectively connected to a semiconductor chip through the power wiring 13, the grounding wiring 14, bonding wire 8-a, and 8-b. Although the laminating of power conductor-layer 2-a, b and grounding conductor-layer 5-a, and b and c is carried out on both sides of an insulating layer, they are changing the number of laminatings in a part for the direct lower part of a semiconductor chip 9, and the circumference fraction near the terminal. That is, power conductor-layer 2-b and grounding conductor-layer 5-c do not form the conductor pattern in a part for the direct lower part of a semiconductor chip 9. The perspective diagram corresponding to this is shown in drawing 2. The through hole 17 is formed here in order to make the conductor layer which does not need connection in order to connect the external terminal 16 to a specific electric conduction stratum pass the wiring from the external terminal 16. The bonding stitch 18 is formed in order to connect the external terminal 16 with a semiconductor chip 9. The lid 19 consists of a metal etc. Since other fractions are the same as that of what was shown in drawing 1, they omit an explanation. This enables it to change the proportion of the electrostatic capacity per unit area, and the inductance of a conductor in a part for the chip direct lower part, and a terminal circumference fraction, and two resonance frequency can be obtained for convenience. this power -- a conductor and a grounding -- it is drawing 3 which expressed the conductor with the circuit diagram According to drawing 3, the power current generated by the semiconductor chip 9 flows into a package from the power terminal V1 connected with a semiconductor chip. By the operating state of a semiconductor chip 9, it changes, the counter-electromotive force of the inductances LV1, such as bonding wire 8-a, b and c, each conductor layers 2, 5, and 7, and each wirings 10, 11, 12, 13, and 14, occurs by this, and a power current serves as line voltage variation. for reducing this change effectively -- a bypass capacitor -- power -- a conductor and a grounding -- a conductor -- what is necessary is to insert in between, to transmit a line-voltage-variation component (alternating current component) to a bypass capacitor side, to establish the path derived to G2 terminal side which is stable potential, and just to place In this example, the configuration of a bypass capacitor will be constituted from CB1, CB2, and two capacitors by the difference in the capacity value per unit area, and the difference in a surrounding inductance.

[0011] The difference in the effect of the bypass capacitor of the conventional package for semiconductor devices shown in the package and the drawing 6 for semiconductor devices of this invention shown in drawing 1 is explained using a graph. A point different in the package shown in drawing 1 and the drawing 6 is only the configuration of a bypass capacitor, and has set electrostatic capacity for the semiconductor chip direct lower part to 1/2 with the package of drawing 1 compared with the package of drawing 6. Frequency change of the source impedance at this time is shown in drawing 4. according to this -- power -- a conductor -- the impedance at that time has also become [the way of the impedance characteristic (it enters with an alternate long and short dash line) the impedance characteristic (it enters by the dotted line) of a unit was almost equal, and minded the bypass capacitor of the conventional package in the conventional this invention] low [resonance frequency] small however -- since the impedance characteristic (it enters as a solid line) through the bypass capacitor of the package of this invention has two resonance frequency and the frequency is comparatively close -- power -- a conductor -- frequency bandwidth B used as the impedance of a simple substance and the value below an EQC becomes large about 2 times conventionally compared with frequency bandwidth B' in a package

[0012] Next, the 2nd example of this invention is explained. Power conductor-layer 2-a, grounding conductor-layer 5-a, and b constitute the bypass capacitor from drawing 5 also into the fraction from a part for the semiconductor chip 9 direct lower part to [in order to change the electrostatic capacity value of a bypass capacitor within the package for semiconductor devices, forms the bypass capacitor which the external terminal 16 of the package base 15 is formed, and consists of power conductor-layer 2-b, grounding conductor-layer 5-c, and d to a field, and] a package end face. Thus, by constituting a bypass capacitor, the characteristic feature from which the reduction effect is acquired from the first also to the noise component which flows from the external terminal 16 side has the effect stated in the previous example. This is because it is possible to

have an electrostatic-capacity component in the latest of the external terminal 16, and to make the impedance of a bypass capacitor small by the comparatively large frequency band since it is only the external terminal 16 as an inductance component.

[0013] Although the bypass capacitor of electrostatic capacity different by changing partially the number of laminatings of the power conductor layer in a semiconductor package and a grounding conductor layer has been obtained in the 1st of this invention, and the 2nd example, you may obtain the bypass capacitor of the electrostatic capacity which the spacing of a power conductor layer and a grounding conductor layer may be changed partially, and the dielectric constant of the insulator layer between a power conductor layer and a grounding conductor layer is changed partially, and is different.

[0014]

[Effect of the Invention] as explained above, the structure of the bypass capacitor in the package for the semiconductor devices of this invention constitutes two or more capacitors by which electrostatic capacity value is different in a package -- a bypass capacitor and a conductor -- two or more resonance frequency of a section inductance can be boiled, and can be carried out Two or more of these resonance frequency can be set up among two to 10 times by adjusting the electrostatic capacity value of a bypass capacitor suitably. Therefore, by constituting the bypass capacitor of this invention, it is possible to extend a frequency band compared with the configuration of the conventional bypass capacitor, and the depressor effect of supply voltage can be enlarged in a wide range frequency band.

[Translation done.]